

## ⑫ 特許公報 (B2)

平3-1830

⑬ Int. Cl.<sup>6</sup>  
H 01 L 21/60識別記号 311 S  
厅内整理番号 6918-5F

⑭ 公告 平成3年(1991)1月11日

発明の数 2 (全5頁)

⑬ 発明の名称	電気的接点構造とその形成方法		
⑭ ②特願 昭62-57035	⑬ 公開 昭62-263645		
⑭ ②出願 昭62(1987)3月13日	⑬ 昭62(1987)11月16日		
優先権主張 ⑭ 1986年5月6日⑬米国(US)⑭860261			
⑭ 発明者 ドナルド・ジーン・マ	アメリカ合衆国ニューヨーク州ピンガムトン、チエシア・		
クブライド	ロード2058番地		
⑭ 発明者 ジエーン・マーガレット・ショウ	アメリカ合衆国コネチカット州リツジフィールド、オールド・シブ・ロード49番地		
⑭ 出願人 インターナショナル・ビジネス・マシーンズ	アメリカ合衆国 10504 ニューヨーク州 アーモンク (番地なし)		
コーポレーション			
⑭ 代理人 弁理士 山本 仁朗	外1名		
審査官 小田 裕			

1

2

## ⑮ 特許請求の範囲

1 半導体チップと基板の間の電気的接点であつて、

(a) 上記半導体チップと上記基板に接触するはんだボールと、  
(b) 上記基板の表面上ではんだダムの役目を果たすように上記はんだボールをとり囲むシリル化されたポジティブ・フォトレジストとを具備する電気的接点構造。

2 チップを支持するための基板上に電気的接点構造を形成するための方法において、

(a) 上記基板を、クロムと銅の層により順次プランケット被覆し、  
(b) 上記銅の層上をポジティブ・フォトレジストでプランケット被覆し、  
(c) パーソナリティ・パターンを画成するように上記フォトレジストを露光及び現像し、  
(d) 上記銅の層をエッチングし、  
(e) 上記エッチングされた銅の層をマスクとして上記クロムの層をエッチングし、  
(f) 上記エッチングされた銅及びクロムの層上にポジティブ・フォトレジストの第2のプランケ

ット層を付着し、

(g) 選択されたパターンを画成するように上記第2のプランケット層を露光及び現像し、

(h) 上記第2のプランケット層をシリル化しその後ベークする工程を有する、

電気的接点構造の形成方法。

## 発明の詳細な説明

## A 産業上の利用分野

この発明は、シリル化したフォトレジストを用いて、はんだバリアを画成する方法に関するものである。半導体チップを基板に接続する場合、微細な半導体部品と、基板表面上の端子メタラジの間に必要な電気的接合を得るために、はんだ付けが用いられる。この発明は、高温の有機はんだダムを使用して、基板上の端子部品を、はんだ付け作業中に、オーパーフローしたはんだから分離する方法、および得られた構造に向けられたものである。

## B 従来技術

半導体装置の製造時に、多数の半導体チップが基板に接続される。これには、通常はんだ接点が用いられる。これについてでは、米国特許第

3392442号および第3495133号明細書に示されている。通常スズと鉛からなるはんだ合金の球が制御された方法で崩壊して、必要な接続を行う。このはんだ球の制御された崩壊時に、ストップオフ、すなわちはんだのダムを設けて、はんだ材料が広がり、通常回路ラインに接触するのを防止する必要がある。

前記の米国特許第3392442号明細書では、アルミニウム・ランド26への必要な電気的接觸を行うために真空蒸発させたクロム、銅および金の層からなる接点メタライゼーションの複合体に、はんだのマウンドを付着させる。その明細書の第3図に示されているような接点部分に必要な分離を行うため、クロムを付着させる必要があることが判っている。

IBMテクニカル・ディスクロジヤ・プレティン、Vol.16、No.11、p.3610～3611(1974年4月)には、鉛・インジウムはんだ接点を用いて、半導体チップを基板に接続する方法が開示されている。制御された崩壊によるチップの接続(C4)を用いる場合は、端子部の分離を必要とする。したがって、分離構造の1実施例にはガラスが、第2の例にはクロムが、第3の例にはセラミックスが、第4の例には二酸化シリコンが用いられている。

他の周知の方法では、クロム・銅・クロムのブランケットを基板上に連続的に付着させる。この付着は、真空蒸着またはスパッタリングにより行う。クロムの第1の層は、銅の層と、基板材料を形成するセラミックまたはポリイミドとの間の接着バリアとして作用する。中間の銅の層は、1442号明細書の場合のような、導通回路層である。上のクロムの層は、はんだのストップオフ、すなわちはんだダムとして使用される。このように、「米国特許第3392442号」明細書の場合のように、このはんだダムははんだ球からはんだが流出して、相互接続されるチップの回路ラインに接觸して、そのチップに損傷を与える。したがって、周知のように、上部のクロム層は、はんだが流出することなくチップを接続させるために、はんだ球の崩壊を制御するのに重要な役割を有する。

この方法により、また上記米国特許第3392442号明細書に開示された方法の拡張によれば、ブランケット層、すなわちクロム・銅・クロム層の回

路化には、2つの完全なフォトリソグラフィおよびエッティング工程を必要とする。第1の段階は回路の画成、すなわちバーソナリゼーションであり、第2の段階ははんだタムの形成である。したがって、第2の段階は選択的エッティングである。現在使用されるフォトレジストは、ネガティブ・フォトレジストのKTERであり、使用されるエッティング剤は、クロムにはKMnO<sub>4</sub>／KOH、銅にはFeCl<sub>3</sub>／HClである。

10 これらの材料を使用した場合の欠点の1つは、微線な線の解像度を得るのが困難なことである。他の問題はストリッピング(stripping)である。したがってこの技術の範囲では、得られる線の解像度に限度があり、したがって装置の集積度に限度がある。ポジティブ・フォトレジストを使用すれば、この問題は解決するように考えられるが、ポジティブ・フォトレジストは、上部のクロム層の使用と両立しないため、使用することができない。この非両立性は、クロム層をエッティングすると、ポジティブ・フォトレジストも同時にエッティングされてしまうためである。

KTFR等のネガティブ・フォトレジストを使用する際のもう1つの問題は、特別なストリッピング材料の使用にある。これには現在J100が用いられている。この材料は劇薬であり、環境上、健康上の問題がある。さらに製品の収率低下を防止するため、厳密に管理された状態で使用しなければならない。

したがって、この方法には限度があるため、ポジティブ・フォトレジストが使用できるシステムを画成することにより、多大の利点が得られる。しかし、標準のポジティブ・フォトレジストを使用するには、はんだダムとして上部のクロム層を必要とすることを解消しなければならない。これは、クロムがNaOHまたはKOH等の塩基性溶液でエッティングされ、この溶液はポジティブ・フォトレジストも破壊するためである。したがって、この発明以前には、はんだダムのクロム層と両立して、ポジティブ・フォトレジストが使用できる方法はなかつた。

#### C 発明が解決しようとする問題点

従来技術のこれらの欠陥にかんがみ、この発明の目的は、高温有機はんだダムを付着させる方法と、得られたパッケージ構造を提供することにある。

る。

#### D 問題点を解決するための手段

この発明は、シリル化されたフォトレジストを使用する。このフォトレジストは、反応性の水素官能基を有する重合体材料と、この重合体材料の反応性水素官能基と反応する少くとも2つの官能基を有する多官能性有機金属材料とを反応させて生成させた、耐プラズマ性の重合体材料からなる。このような材料に、ヘキサメチルシクロトリシラザンがある。この発明に適するこの形のシリル化フォトレジストについては、本出願人に係る特開昭61-219034号公報に記載されている。

したがって、この発明は半導体素子を基板に接続するためのはんだダム層としての、シリル化したフォトレジストの特定使用を指向したものである。この材料は、この明細書に述べるC4法でクムロ層の代りに用いられる。

この発明によれば、ブランケットCr-Cu付着をさせた半導体基板を作成した後、Cr-Cr層をポジティブ・フォトレジストでブランケット被覆する。次に、フォトレジストを露出し、現像して必要なパーソナリゼーションを行う。次に回路を画定するメタライゼーション・ラインを、適当なエッティングにより画定する。次に、ポジティブ・フォトレジストをはがした後、下のクロム層をエッティングする。次に、第2のポジティブ・レジスト・パターンを塗布してはんだダムを形成し、露出、現像してC4およびI/Oパターンを得る。次にポジティブ・フォトレジストをシリル化し、焼付ける。この発明によれば、得られたシリル化したフォトレジストはそのまま残り、はんだバリアを画成する。

この発明を用いることにより、線の解像度を改善される。重要なことは、上部のクロムが不要になることである。このことは、はんだバリアの画成に必要な上部クロムのエッティング等、工程数を減少させることになる。さらに、フォトレジストのストリッピングが不要となり、環境上安全でない材料の必要性がなくなる。

#### E 実施例

第1図ないし第4図に、この発明による方法を示す。第1図は、中間処理を行った基板の一部を示す。第1図に示すように、基板10の上にクロムのブランケット層14、および銅のブランケッ

ト層16を付着させる。クロムおよび銅の層14および16の上に、ポジティブ・フォトレジスト18を塗布する。第1図は、フォトレジスト18の露出現像およびエッティングにより、パーソナリティ・パターンが画成された状態を示す。

次に、この中間構造から、銅の層16を適当な銅のエッティング剤を使用してエッティングする。これを第2図に示す。これにより、パーソナリティ・パターンを画成する開口部20および22が、銅の層16を貫通して、クロム層に達する。適切な銅のエッティング剤は、 $FeCl_3/HCl$ 、 $CuCl_2$ 等である。このパーソナリティ・パターンの画成の後、適当なストリッパを用いて、フォトレジストをはがす。次に、エッティングされた銅をマスクにして、適当なクロムのエッティング剤を用いて、下のクロム層14をエッティングする。このエッティング剤には、 $KMnO_4/KOH$ 、または他の適当なクロムのエッティング剤を使用することができる。代替方法として、クロムをポジティブ・フォトレジストと同時に、すなわち銅のエッティングの直後にエッティングすることもできる。しかし、レジスト層をはがす前に、クロムのエッティング剤がポジティブ・フォトレジストを除去してもよい。

第3図は、この発明の方法の顕著な中間段階を示す。ポジティブ・フォトレジストの第2の層24を、銅の層16上にブランケット塗布して、開口部20および22を充てんする。次にこのフォトレジスト24を露出し、現像してC4はんだバリア、I/Oパターン等、選択的にパターン付けを行う。これらの開口部25は、はんだダムを設ける選択パターンについて、第4図に示す。次に、ポジティブ・フォトレジストをシリル化し、ペークする。これは、前述の特開昭61-219034号公報に開示された方法により行う。

シリル化したフォトレジストは、はんだバリアとしてそのまま残ることに注目されたい。次に、米国特許第3392442号明細書に開示されたような従来の方法により処理を行う。すなわち、溶触したはんだ浴に浸漬するなどの方法により、はんだ開口部25中に付着させる。これは周知の方法である。代替方法として、はんだを開口部中に付着させず、チップにより相互接続個所に供給することもできる。得られた構造を第4図に示す。次

に、チップをはんだ接点、すなわちC4接点28に接続する。これを第5図に最終製品として示す。

シリル化したフォトレジスト24の存在は、はんだが回路のラインに接触して、チップと基板が短絡することがあるチップの崩壊の原因となるのを確実に防止するバリアとして作用する。上記の説明により明らかなように、上部のクロムの技術にこれまで存在した必要条件は、この発明により除かれる。また、ポジティブ・フォトレジストを使用して、微細な線の解像能力が得られる。

第5図に、基板の全面に残るシリル化したフォトレジストを示す。代替方法として、C4およびI/O部分のために必要ダムによりはんだバリアを画成した後、シリル化したフォトレジストを選択的に除去してもよい。しかし、シリル化したフォトレジストを上面に残すことにより、利点が生じる。回路のラインと、回路のラインの縁部の裸

の銅の両面の腐食が防止される。さらに、微細な線の橋架けが起らないので、デイツプによりスズめつきが可能である。

#### F 発明の効果

5 以上説明したように、この発明によれば、線の解像度が改善される。重要なことは、上部のクロムが不要になることである。これにより、はんだバリアの画成に必要な上部のクロムのエッチング等の処理工程の数が減少する。

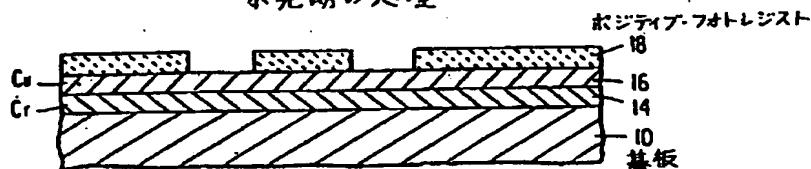
#### 10 図面の簡単な説明

第1図ないし第4図は、この発明の方法の各段階を示す断面図、第5図は、はんだダムとしてのシリル化したフォトレジストを示す完成した装置の一部の断面図である。

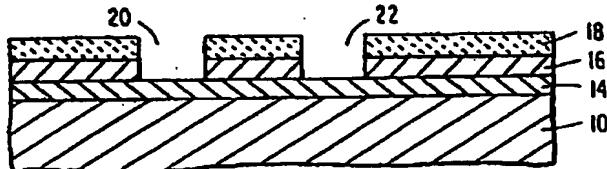
15 10……基板、14……Cr層、16……Cu層、18……ポジティブ・フォトレジスト、24……シリル化フォトレジスト。

第1図

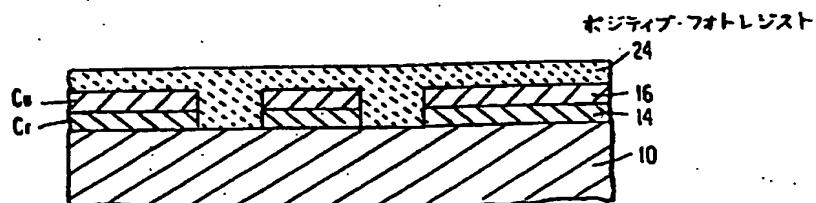
本発明の処理



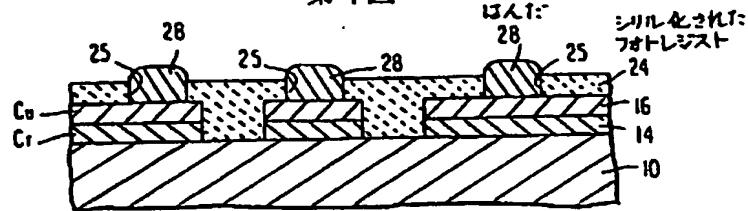
第2図



第3図



第4図



第5図

